

Reference Number NBC1012100 Dispatch Number 067768
 Dispatch Date Mar/1/2005

Decision of Refusal

Patent Application No. Patent application No.2001-363753
Drafting Date Feb/23/2005
Examiner of JPO Hiroyuki HATANAKA 9180 5J00
Title of the Invention VARIABLE GAIN DIFFERENTIAL
 AMPLIFER AND MULTIPLICATION
 CIRCUIT
Applicant SANYO ELECTRIC CO., LTD.
Representative Yoshito Fukushima

This application should be refused for the reasons as stated in the notification of reason(s) for refusal dated March 12, 2004.

The argument and amendment have been examined, but no basis sufficient to overthrow the previously given reason(s) for refusal has been found.

Remarks:

The Applicant has insisted in his argument that "In the cited reference 1 for refusal, however, control transistors T8 to T12 have their gates all electrically connected, and there is no "resistor" connected to any of the gates. Thus, once a

leakage current is generated from the gate of any of the control transistors, the generated leakage current also affects the different (other) control transistors, so that such control transistors are hardly applicable to a high frequency signal (band).

The same problem as above also occurs in the cited references 2 and 3 for refusal.

Since none of the cited references 1 to 3 disclose or suggest the feature of the present application as described above, it is considered that the present application could not have easily been conceived by even persons skilled in the art."

However, it is common means in the field of electronic circuits to connect the gate of a switching element to a control terminal through a resistor (e.g., see the previous cited reference 3: a resistor 923 of Fig. 9, JP 2000-277703 A: Figs. 1, 6 and 10, and JP 8-288791 A). Further, the cited reference 1 as indicated in the previous reason(s) for refusal also recites that "These means may comprise, for example, an arrangement of resistors connected in series, which in its turn is connected in series between the bias resistor RB and the junction point B, successive connection points of the series-connected resistors being connected to successive gates of the control transistors." (see page 8, lines 4 to 7 of the cited reference.)

Therefore, it could have easily been made by persons

skilled in the art to connect the gates of the plurality of control transistors, which correspond to "a plurality of switching elements" of the present application, through resistors, respectively to a control terminal for receiving a control voltage.

It is also usual means in this technical field to constitute a switching element by a MOSFET (e.g., see JP 8-139531 A: MP1, MP2 of Fig. 1).

Therefore, the present invention could have easily been made by persons skilled in the art on the basis of the matters recited in each of the previous cited references and commonly used art.

拒絶査定

特許出願の番号	特願 2001-363753
起案日	平成 17 年 2 月 23 日
特許庁審査官	畠中 博幸 9180 5J00
発明の名称	可変利得型差動増幅回路および乗算回路
特許出願人	三洋電機株式会社
代理人	福島 祥人

この出願については、平成 16 年 3 月 12 日付け拒絶理由通知書に記載した理由によって、拒絶をすべきものである。

なお、意見書並びに手続補正書の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。

備考

出願人は意見書において、「しかしながら、拒絶引用文献 1 では、制御トランジスタ T8～T12 のゲートはすべて電気的に接続されており、さらにゲートに接続される「抵抗」は存在しませんので、一旦制御トランジスタのゲートから漏れ電流が発生しますと、その影響は異なる（他の）制御トランジスタにも及んでしまい、高周波信号（帯域）には到底適用できません。

さらに、拒絶引用文献 2、3 におきましても、前述と同様な問題が発生してしまいます。

このように、拒絶引用文献 1～3 のいずれにも、本願の特徴点は開示も示唆もされておりませんので、当業者といえどもそれらの文献に基づいて容易に想到できるものではないと思料します」と主張している。

しかしながら、スイッチング素子のゲートを抵抗を介して制御端子に接続することは、電子回路の分野において慣用手段（例えば、先の引用文献 3 図 9：抵抗 923、特開 2000-277703 号公報：図 1、図 6、図 10、特開平 8-288791 号公報、各参照。）であり、さらに、先の拒絶理由に示した引用文献 1 にも、「直列に接続された抵抗の回路を設け、この回路をバイアス抵抗 RB と接続点 Bとの間に直列に接続し、直列接続された抵抗の順次の接続点を制御トランジスタの順次のゲートに接続するようにすることができる」（公報第 8 頁第 4～7 行目、参照。）と記載されている。

よって、先の引用文献 1 においても、本願の「複数のスイッチング素子」に相当する複数の制御トランジスタのゲートを、それぞれ抵抗を介して制御電圧を受ける制御端子に接続させることは当業者が容易になし得たことである。

なお、スイッチング素子をMOSFETから構成することも当該技術分野において常套手段である（例えば、特開平8-139531号公報図1：MP1, MP2、参照。）

したがって、本願発明は、先の各引用文献に記載されたものおよび慣用技術に基づいて当業者が容易に発明し得たものである。

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 平成17年 2月24日 経済産業事務官 平瀬 恵美子